

#2

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): SHIMADA, Toshiaki

Application No.:

Group:

Filed: March 12, 2001

Examiner:

For: VARIABLE LENGTH CODING UNIT AND VARIABLE LENGTH DECODING  
UNIT

L E T T E R

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

March 12, 2001  
1163-0332P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-119999	04/20/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART KOLASCH & BIRCH, LLP

By: 

JOHN CASTELLANO

Reg. No. 35,094

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/smp

SHIMADA, Yoshiaki

March 12, 2001

PSK 703.205.8

1163-03320

1/1

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
th this Office.

出願年月日

Date of Application:

2000年 4月20日

出願番号

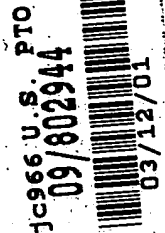
Application Number:

特願2000-119999

願 人

Applicant(s):

三菱電機株式会社

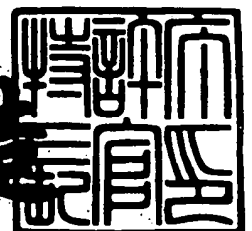


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 1月 5日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 523201JP01

【提出日】 平成12年 4月20日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/30

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社  
社内

    【氏名】 嶋田 敏明

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100066474

    【弁理士】

    【氏名又は名称】 田澤 博昭

【選任した代理人】

    【識別番号】 100088605

    【弁理士】

    【氏名又は名称】 加藤 公延

【手数料の表示】

    【予納台帳番号】 020640

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変長符号化装置および可変長復号装置

【特許請求の範囲】

【請求項 1】 複数の画像信号からなるブロックのデータをスキヤンの順序に従って連続する無意係数の個数と有意係数の値との組み合わせデータに変換するランレングス変換部と、連続する無意係数の個数と有意係数の値との組み合わせデータに応じたアドレス上に、その組み合わせデータに応じた可変長符号化コードとその可変長符号化コードの符号長とを記憶したテーブルメモリと、上記ランレングス変換部により変換された連続する無意係数の個数と有意係数の値との組み合わせデータに応じて上記テーブルメモリから可変長符号化コードとその可変長符号化コードの符号長とを読み出し、その読み出した可変長符号化コードをその読み出した符号長に応じて切り出して可変長符号化する可変長符号化部と、上記可変長符号化部により可変長符号化された可変長符号化データを隙間なく順次記憶するバッファメモリと、上記バッファメモリに可変長符号化データが所定ビット数分記憶された場合にその所定ビット数分ビットシフトするシフタと、上記シフタにより所定ビット数分ビットシフトされた可変長符号化データを出力するデータ出力部と、上記各部または一部を起動制御するプロセッサとを備えた可変長符号化装置。

【請求項 2】 テーブルメモリは、1ワードLビット幅（Lは任意の自然数）を有し、最大mビット以下（mは任意の自然数）の可変長符号化コードをLビット幅の最上位ビット側から詰め、かつnビット（nは任意の自然数で $L = m + n$ ）の可変長符号化コードの符号長をLビット幅の最下位ビット側に詰めたことを特徴とする請求項 1 記載の可変長符号化装置。

【請求項 3】 可変長符号化部は、1ワードLビット幅のテーブルメモリから最下位ビット側のnビットの可変長符号化コードの符号長を読み出し、最上位ビット側から可変長符号化コードをその読み出した符号長分切り出す可変長符号化データ切り出し部を備えたことを特徴とする請求項 2 記載の可変長符号化装置。

【請求項 4】 テーブルメモリは、mビットに満たない可変長符号化コード

の末尾に無意ビットを付加してmビットのデータにしたことを特徴とする請求項1記載の可変長符号化装置。

【請求項5】 プロセッサは、発生頻度が低い事象である場合には、その事象に応じた固定長符号化コードを符号化処理することを特徴とする請求項1から請求項4のうちのいずれか1項記載の可変長符号化装置。

【請求項6】 プロセッサは、一連の可変長符号化処理の一部を行うことを特徴とする請求項1から請求項5のうちのいずれか1項記載の可変長符号化装置。

【請求項7】 受信したビットストリームを記憶するビットストリームレジスタと、複数の画像信号からなるブロックのデータをスキヤンの順序に従って連続する無意係数の個数と有意係数の値との組み合わせに対応した可変長符号化コードの符号長を記憶したテーブルメモリと、上記ビットストリームレジスタから所定ビット数分読み出すデータ読み出し部と、上記データ読み出し部により読み出したデータに基づいて上記テーブルメモリのアドレスを生成するアドレス生成部と、上記テーブルメモリから上記アドレス生成部により生成されたアドレスのデータを読み出し、そのデータから連続する無意係数の個数と有意係数の値と可変長符号化コードの符号長とを切り出して可変長復号する可変長復号部と、上記ビットストリームレジスタのデータを上記可変長復号部により切り出された可変長符号化コードの符号長分シフト演算して可変長復号された可変長符号化コード分のデータを破棄するシフタと、上記ビットストリームレジスタに所定ビット数分以上の空きがある場合にそのビットストリームレジスタに受信したビットストリームを隙間なく挿入するビットストリーム取り込み部と、上記可変長復号部により可変長復号された連続する無意係数の個数と有意係数の値とに応じてスキヤンの順序に従って複数の画像信号からなるブロックのデータを生成する画像信号生成部と、上記各部または一部を起動制御するプロセッサとを備えたことを特徴とする可変長復号装置。

【請求項8】 テーブルメモリは、相手局との相互接続する際に使用される符号化方式に従い、連続する無意係数の個数と有意係数の値と可変長符号化コードの符号長とのビットフィールドを変えたデータを記憶することを特徴とする請

求項 7 記載の可変長復号装置。

【請求項 9】 シフタは、ビットストリームレジスタのデータを最上位ビット側にシフト演算して、ビットストリーム取り込み部は、そのビットストリームレジスタの空きのうちの最上位ビット側からビットストリームを隙間なく挿入することを特徴とする請求項 7 または請求項 8 記載の可変長復号装置。

【請求項 10】 ビットストリーム取り込み部は、所定ビット数分のビットストリームをビットストリームレジスタに挿入することを特徴とする請求項 7 から請求項 9 のうちのいずれか 1 項記載の可変長復号装置。

【請求項 11】 ビットストリームレジスタは、1 ワード N ビット幅（N は任意の自然数）を有し、ビットストリーム取り込み部は、そのビットストリームレジスタにビットストリームを挿入した際に、有意ビットが N ビットに満たない場合は、その挿入したビットストリームの末尾に無意ビットを付加して 1 ワード N ビット幅のデータとすることを特徴とする請求項 7 から請求項 10 のうちのいずれか 1 項記載の可変長復号装置。

【請求項 12】 プロセッサは、固定長符号化コードを復号処理することを特徴とする請求項 7 から請求項 11 のうちのいずれか 1 項記載の可変長復号装置。

【請求項 13】 プロセッサは、一連の可変長復号処理の一部を行うことを特徴とする請求項 7 から請求項 12 のうちのいずれか 1 項記載の可変長復号装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、動画像での可変長符号化装置および可変長復号装置に関するものである。

##### 【0002】

##### 【従来の技術】

図 1 2 および図 1 3 は例えば特開平 5 - 7 5 4 7 7 号公報に示された従来の Huffman 符号化装置および復号化装置を示すブロック図であり、図において、1 は

情報源記号を供給する情報源、2は情報源記号を記憶するメモリである。3は情報源記号の生起確率を計算する確率計算量子化回路、4は小さい値の生起確率を加算する演算回路、5は加算された生起確率の平均値を演算する演算回路である。6はハフマンテーブルを生成するハフマンテーブル生成回路、7は情報源記号をハフマンテーブルに基づいてハフマン符号化するハフマン符号器、8はハフマン符号化系列と小さい値でない生起確率を伝送路に送付するマルチプレクサである。

11は伝送路から送付されたハフマン符号化系列と小さい値でない生起確率を分離するディマルチプレクサ、12はハフマン符号化系列を記憶するメモリである。13は小さい値でない生起確率の和と1との差を演算する演算回路、14は演算回路13による演算値の平均値を演算する演算回路である。15はハフマンテーブルを生成するハフマンテーブル生成回路、16はハフマン符号化系列をハフマンテーブルに基づいてハフマン復号するハフマン復号器である。

#### 【0003】

次に動作について説明する。

まず、図12を参照しながらハフマン符号化装置の動作について説明する。

確率計算量子化回路3は、情報源1から供給された情報源記号の生起確率を計算する。計算された生起確率のうち、小さい値の生起確率 $P(C)$ から $P(E)$ は演算回路5に供給され加算される。演算回路5は、演算回路4の出力の平均値を演算して、伝送確率 $P_1(C)$ から $P_1(E)$ をハフマンテーブル生成回路6に出力する。ハフマンテーブル生成回路6は、確率計算量子化回路3から供給された小さい値でない生起確率 $P(A)$ 、 $P(B)$ と演算回路5から供給された伝送確率 $P_1(C)$ から $P_1(E)$ に応じてハフマンテーブルを生成する。ハフマン符号器7は、ハフマンテーブル生成回路6により生成されたハフマンテーブルを参照して情報源記号をハフマン符号化する。マルチプレクサ8は、ハフマン符号器7から供給されたハフマン符号系列と、小さい値でない生起確率 $P(A)$ 、 $P(B)$ を伝送路に送付する。

#### 【0004】

次に、図13を参照しながらハフマン復号化装置の動作について説明する。

ディマルチプレクサ 11 は、伝送路から送付されたハフマン符号系列と小さい値でない生起確率  $P(A)$ 、 $P(B)$  とに分離し、ハフマン符号系列はメモリ 12 に記憶し、生起確率  $P(A)$ 、 $P(B)$  は演算回路 13 とハフマンテーブル生成回路 15 に出力する。演算回路 13 は、供給された生起確率  $P(A)$ 、 $P(B)$  の和と 1 との差である  $P(SUM) = 1 - \{P(A) + P(B)\}$  を演算し、その結果を演算回路 14 に供給する。演算回路 14 は、供給された演算結果  $P(SUM)$  から小さい値の伝送確率  $P_1(C)$  から  $P_1(E)$  を演算により求める。すなわち、この場合  $P_1(C) = P_1(D) = P_1(E) = P(SUM) / 3$  の平均値演算を行い、伝送確率  $P_1(C)$  から  $P_1(E)$  を全て同じ伝送確率にする。ハフマンテーブル生成回路 15 は、情報源記号の生起確率  $P(A)$ 、 $P(B)$  と演算回路 14 にて演算された伝送確率  $P_1(C)$  から  $P_1(E)$  に応じてハフマンテーブルを生成する。ハフマン復号器 16 は、ハフマンテーブル生成回路 15 により生成されたハフマンテーブルに基づいて、メモリ 12 からハフマン符号系列を読み出してハフマン復号を行い、情報源系列を出力する。

## 【0005】

図 14 は例えば特開平 8-256266 号公報に示された従来の画像符号化装置を示すブロック図、図 15 はその符号化部の詳細を示すブロック図であり、図において、22 は入力画像信号 21 から対象物画像を分離・抽出して、対象物画像情報 23 を出力する対象物抽出部、24 は複数の符号化手法の中から入力された対象物画像情報 23 に適した符号化手法を選択し、選択信号 25 を出力する符号化決定部、26 は選択信号 25 に応じた符号化手法により、対象物画像情報 23 を符号化し、その符号化情報 27 と復号化手法情報 28 を出力する符号化部である。

また、符号化部 26 において、31 から 34 はそれぞれ異なる符号化手法を実行する符号化器、35 は選択信号 25 に応じて符号化器 31～34 を選択する符号化器選択部である。

## 【0006】

次に動作について説明する。

図 14 を参照しながら画像符号化装置の動作について説明する。



入力画像信号 2 1 は、対象物抽出部 2 2 に入力され、ここで画面を構成する複数の対象物画像が分離・抽出される。抽出された対象物画像情報 2 3 は、符号化決定部 2 4 において、複数個の符号化手法の中から入力された対象物画像情報 2 3 に適した符号化手法を選択し、選択信号 2 5 を出力する。具体的には、対象物画像の絵柄模様の複雑さや種類によって最適な符号化手法を求める。符号化後の発生情報量を比較して、最小情報量を与える符号化手法を選択することも有効である。一方、自然画像などを含む背景画像の領域には、従来から使用されている直交変換符号化を使用することが適当である。符号化決定部 2 4 により決定された選択信号 2 5 は、符号化部 2 6 に入力される。

符号化部 2 6 では、図 1 5 に示したように、符号化器選択部 3 5 により、選択信号 2 5 によって指定された符号化手法を実行する符号化器を、n 個の符号化器 3 1 ~ 3 4 の中から選択して符号化を行う。符号化部 2 6 からは、符号化の結果得られた符号化情報 2 7 と復号化手法情報 2 8 を出力する。

#### 【 0 0 0 7 】

##### 【発明が解決しようとする課題】

従来のハフマン符号化装置および復号化装置は以上のように構成されているので、生起確率の小さい情報源記号と小さくない情報源記号とに情報源を 2 分して、生起確率の小さい情報源記号に対しては伝送確率として生起確率の小さい情報源記号群の平均をとっている。このような方法をとっているため、国際標準符号化方式である H. 2 6 1, H. 2 6 3 や M P E G 1, M P E G 2, M P E G 4 などのように多くの確率が存在する情報源に対しては確率計算が煩雑になる上、2 分された生起確率の小さい方の情報源記号に対する平均化された伝送確率の記号群が多くなる傾向にある。

同様に、受信側の方でも多くの確率が存在する情報源に対しては、復号の際に伝送確率の計算が煩雑になり、かつ生成するハフマンテーブルが生起確率に応じて多くなる。

さらに、送信側から受信側へ生起確率を送付する必要があった。これは上述した国際標準符号化方式である H. 2 6 1, H. 2 6 3 や M P E G 1, M P E G 2, M P E G 4 などのように、多くの確率が存在する情報源に対して従来例を適用

すると、生起確率の小さくない方に分けられた情報源記号が多い場合には、それらの情報源記号に対応する生起確率を受信側へ送信する必要があり、かつ符号化している途中で別の符号化方式に対応しようとした場合は、また改めて新しい符号化方式に対応した生起確率を受信側に送付する必要があり、伝送効率の低下を招く。

また、従来例では従来例独自の方式のみしか対応できないので、例えば、上述した国際標準符号化方式である H. 2 6 1, H. 2 6 3 や M P E G 1, M P E G 2, M P E G 4 などの符号化方式の形式のストリームを符号化したり復号したりすることはできず、他の符号化方式に対応する柔軟性に欠けている。

#### 【 0 0 0 8 】

また、図 1 4 および図 1 5 で示した従来の画像符号化装置では、入力画像に含まれる複数の対象物画像を抽出し、抽出された対象物画像に適した符号化手法を適用し、符号化情報と対象物画像の復号手法を示す情報を出力するような構成にしているが、例えば、相手局との通信を行う際に国際標準符号化方式を適用した場合、例えば、H. 2 6 1, H. 2 6 3 や M P E G 1, M P E G 2, M P E G 4 では、1 フレーム単位で（符号化方式によっては複数のフレームを1つのシーケンスとして）符号化することを前提としており、従来例のように1 フレーム内を複数の対象画像に分割してそれぞれ別々の国際標準符号化方式にて符号化することは想定されていない。

また、従来例では符号化方式に変更がなくても1 フレーム毎に復号手法（符号化手法）の情報を相手局に伝送する必要がある。

また、従来例の動作にて記述されているように、「符号化後の発生情報量を比較して、最小情報量を与える符号化手法を選択することも有効である」ことから、1 フレームを複数の対象物画像に分解してそれらを予め用意したいくつかの符号化手法にてそれぞれ符号化しその中で最小情報量を与えるものを選ぶという動作のため、1 フレームを符号化するまでに多くの処理を必要とするなどの課題があった。

#### 【 0 0 0 9 】

この発明は、上記のような課題を解消するためになされたものであり、独自の

可変長符号化に固執することなく、国際標準方式を含む様々な可変長符号化／復号に対応できる可変長符号化装置および可変長復号装置を得ることを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

この発明に係る可変長符号化装置は、複数の画像信号からなるブロックのデータをスキヤンの順序に従って連続する無意係数の個数と有意係数の値との組み合わせデータに変換するランレングス変換部と、連続する無意係数の個数と有意係数の値との組み合わせデータに応じたアドレス上に、その組み合わせデータに応じた可変長符号化コードとその可変長符号化コードの符号長とを記憶したテーブルメモリと、ランレングス変換部により変換された連続する無意係数の個数と有意係数の値との組み合わせデータに応じてテーブルメモリから可変長符号化コードとその可変長符号化コードの符号長とを読み出し、その読み出した可変長符号化コードをその読み出した符号長に応じて切り出して可変長符号化する可変長符号化部と、可変長符号化部により可変長符号化された可変長符号化データを隙間なく順次記憶するバッファメモリと、バッファメモリに可変長符号化データが所定ビット数分記憶された場合にその所定ビット数分ビットシフトするシフタと、シフタにより所定ビット数分ビットシフトされた可変長符号化データを出力するデータ出力部と、各部または一部を起動制御するプロセッサとを備えたものである。

#### 【0011】

この発明に係る可変長符号化装置は、テーブルメモリに、1ワードLビット幅を有し、最大mビット以下の可変長符号化コードをLビット幅の最上位ビット側から詰め、かつnビット ( $L = m + n$ ) の可変長符号化コードの符号長をLビット幅の最下位ビット側に詰めたものである。

#### 【0012】

この発明に係る可変長符号化装置は、可変長符号化部に、1ワードLビット幅のテーブルメモリから最下位ビット側のnビットの可変長符号化コードの符号長を読み出し、最上位ビット側から可変長符号化コードをその読み出した符号長分

切り出す可変長符号化データ切り出し部を備えたものである。

【 0 0 1 3 】

この発明に係る可変長符号化装置は、テーブルメモリで、mビットに満たない可変長符号化コードの末尾に無意ビットを付加してmビットのデータにしたものである。

【 0 0 1 4 】

この発明に係る可変長符号化装置は、プロセッサで、発生頻度が低い事象である場合には、その事象に応じた固定長符号化コードを符号化処理するものである。

【 0 0 1 5 】

この発明に係る可変長符号化装置は、プロセッサで、一連の可変長符号化処理の一部を行うものである。

【 0 0 1 6 】

この発明に係る可変長復号装置は、受信したビットストリームを記憶するビットストリームレジスタと、複数の画像信号からなるブロックのデータをスキヤンの順序に従って連続する無意係数の個数と有意係数の値との組み合わせに対応した可変長符号化コードの符号長を記憶したテーブルメモリと、ビットストリームレジスタから所定ビット数分読み出すデータ読み出し部と、データ読み出し部により読み出したデータに基づいてテーブルメモリのアドレスを生成するアドレス生成部と、テーブルメモリからアドレス生成部により生成されたアドレスのデータを読み出し、そのデータから連続する無意係数の個数と有意係数の値と可変長符号化コードの符号長とを切り出して可変長復号する可変長復号部と、ビットストリームレジスタのデータを可変長復号部により切り出された可変長符号化コードの符号長分シフト演算して可変長復号された可変長符号化コード分のデータを破棄するシフタと、ビットストリームレジスタに所定ビット数分以上の空きがある場合にそのビットストリームレジスタに受信したビットストリームを隙間なく挿入するビットストリーム取り込み部と、可変長復号部により可変長復号された連続する無意係数の個数と有意係数の値とに応じてスキヤンの順序に従って複数の画像信号からなるブロックのデータを生成する画像信号生成部と、各部または

一部を起動制御するプロセッサとを備えたものである。

【 0 0 1 7 】

この発明に係る可変長復号装置は、テーブルメモリに、相手局との相互接続する際に使用される符号化方式に従い、連続する無意係数の個数と有意係数の値と可変長符号化コードの符号長とのビットフィールドを変えたデータを記憶するものである。

【 0 0 1 8 】

この発明に係る可変長復号装置は、シフタで、ビットストリームレジスタのデータを最上位ビット側にシフト演算して、ビットストリーム取り込み部は、そのビットストリームレジスタの空きのうちの最上位ビット側からビットストリームを隙間なく挿入するものである。

【 0 0 1 9 】

この発明に係る可変長復号装置は、ビットストリーム取り込み部で、所定ビット数分のビットストリームをビットストリームレジスタに挿入するものである。

【 0 0 2 0 】

この発明に係る可変長復号装置は、ビットストリームレジスタに、1ワードNビット幅を有し、ビットストリーム取り込み部は、そのビットストリームレジスタにビットストリームを挿入した際に、有意ビットがNビットに満たない場合は、その挿入したビットストリームの末尾に無意ビットを付加して1ワードNビット幅のデータとするものである。

【 0 0 2 1 】

この発明に係る可変長復号装置は、プロセッサで、固定長符号化コードを復号処理するものである。

【 0 0 2 2 】

この発明に係る可変長復号装置は、プロセッサで、一連の可変長復号処理の一部を行うものである。

【 0 0 2 3 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

## 実施の形態 1.

図 1 はこの発明の実施の形態 1 による可変長符号化装置を示すブロック図であり、図において、4 1 は各部または一部を起動制御するプロセッサ、4 2 は複数の画像信号からなるブロックのデータをスキヤンの順序に従って連続する無意係数の個数（以下、ゼロラン数と言う）と有意係数の値（以下、レベル値と言う）との組み合わせデータに変換するランレンジ変換部である。4 3 はゼロラン数とレベル値との組み合わせデータに応じたアドレス上に、その組み合わせデータに応じた可変長符号化コードとその可変長符号化コードの符号長とを記憶したテーブルメモリ、4 4 はランレンジ変換部 4 2 により変換されたゼロラン数とレベル値との組み合わせデータに応じてテーブルメモリ 4 3 から可変長符号化コードとその可変長符号化コードの符号長とを読み出し、その読み出した可変長符号化コードをその読み出した符号長に応じて切り出して可変長符号化する可変長符号化部である。4 5 は可変長符号化部 4 4 により可変長符号化された可変長符号化データを隙間なく順次記憶するバッファメモリ、4 6 はバッファメモリ 4 5 に可変長符号化データが所定ビット数分記憶された場合にその所定ビット数分ビットシフトするシフタ、4 7 はシフタ 4 6 により所定ビット数分ビットシフトされた可変長符号化データを伝送路に出力するデータ出力部である。

## 【 0 0 2 4 】

次に動作について説明する。

この実施の形態 1 では、テーブルメモリ 4 3 以外の各部の起動制御をプロセッサ 4 1 にて行う。起動制御はプロセッサ 4 1 より命令を実行することにより行われる。

なお、この実施の形態 1 では、入力する画像信号として 8 × 8 画素の正方面素ブロックを扱う。これは、H. 2 6 1 や M P E G 2 などの国際標準符号化方式にて扱われる代表的な画素ブロックである。図 2 は 8 × 8 画素ブロックのデータスキヤン順を示す説明図である。この図 2 において数字の記載されていない部分については無効データ「ゼロ」である。

ランレンジ変換部 4 2 では、図 2 に示したようにジグザグに画素をスキヤンしながら有意係数（非ゼロ係数：レベル値）か無意係数（ゼロ係数）かをチェッ

クし、有意係数になるまで無意係数の個数（ゼロラン数）をカウントし、ゼロラン数とレベル値を出力する。図3は図2でのゼロラン数とレベル値、およびゼロラン数とレベル値の組み合わせ数を示す表図である。図3に示したように図2の場合ではゼロラン数とレベル値の組み合わせ数は「4」となる。

#### 【0025】

図4はテーブルメモリのデータ内容を示す説明図である。このテーブルメモリには、ゼロラン数=0, 1, 2, ... に応じたアドレス (address 0, 1, 2, ...) が記憶され、また、そのアドレスにレベル値の絶対値を加えたアドレスには、該当するゼロラン数とレベル値との組み合わせに応じた可変長符号化コード (VLCコード) およびその可変長符号化コードのコード長 (VLCコード長) が記憶されている。ここで、発生頻度が高いゼロラン数とレベル値との組み合わせについては、その可変長符号化コードのコード長を短く、発生頻度が低いゼロラン数とレベル値との組み合わせについては、その可変長符号化コードのコード長を長く設定されている。

可変長符号化部44では、ランレングス変換部42により供給されたゼロラン数をアドレスとしてテーブルメモリ43からデータを読み出す。この時、読み出されたデータはゼロラン数に対応した可変長符号化コードおよび可変長符号化コードのコード長が記憶されているエリアの先頭ポインタを示す。図4に示したように、例えば、ゼロラン数が「0」の場合は、まず「address 0」というポインタを読み出し、その「address 0」とレベル値の絶対値を加算したアドレス (address 0 + レベル絶対値) からテーブルメモリ43のデータを読み出す。この時、読み出されるデータは、(Run, |Level|) に対応するVLCコードと左記VLCコード長を多重したデータである。可変長符号化部44では、テーブルメモリ43から読み出したデータのうち、VLCコード長分に相当するVLCコードを切り出してバッファメモリ45に書き込む。

#### 【0026】

図5は16ビット幅のバッファメモリのデータ更新を示す説明図である。バッファメモリ45では、最初に可変長符号化されたコードが「0101」であった場合、図5の上図に示したように「0101」と記憶する。次に可変長符号化さ

れたコードが「10011」であった場合は、図5の中図に示したように「0101」の末尾に隙間なく「10011」を詰めて記憶する。そして、図5の中図に示したようにバッファメモリ45に溜まったデータがバッファメモリ45のビット幅の半分を超えたかどうかをプロセッサ41にて判定し、超えた場合は破線部で囲われたバッファメモリ45のビット幅の半分のデータ分を、図5の下図に示したようにシフタ46にてシフト演算を行いデータを詰める。シフタ46にてシフトされたバッファメモリ45のビット幅の半分の容量のデータはデータ出力部47より伝送路に送付される。

#### 【0027】

なお、上記実施の形態1では、図5にてバッファメモリ45のビット幅を16ビットとしたが、他のビット幅でも良く、本願の内容を限定するものではない。

また、上記実施の形態1では、バッファメモリ45に記憶されたデータがバッファメモリ45のビット幅の半分を超えたかどうかをプロセッサ41にて判定し、超えた場合はバッファメモリ45のビット幅の半分のデータをデータ出力部47より伝送路へ送付するようにしたが、バッファメモリ45に溜まった容量の閾値は、例えば、バッファメモリ45のビット幅の $1/4$ や $2/3$ を超えたらとしても良く、また他の閾値であっても良く、本願の内容を制限するものではない。

さらに、上記実施の形態1では、バッファメモリ45に記憶されたデータがバッファメモリ45のビット幅の半分を超えたかどうかをプロセッサ41にて判定していたが、バッファメモリ45に記憶したデータのビット数をカウントするカウンタを備えても良く、本願の内容を制限するものではない。

さらに、上記実施の形態1では、テーブルメモリ43以外の各部の起動制御をプロセッサ41にて行うようにしたが、プロセッサ41にてバス管理やメモリアクセス制御をしても良く、本願の内容を制限するものではない。

さらに、上記実施の形態1では、起動制御はプロセッサ41より命令を実行することにより行われるとしたが、命令の代わりに起動制御信号を配信しても良く、制御形体により本願を制限するものではない。

さらに、上記実施の形態1では、画像信号のスキャンは図2に示したように行ったが、別の順序で画像信号のスキャンを行っても良く、本願を制限するもので



はない。

さらに、上記実施の形態1では、入力する画像信号として8×8画素の正方面素ブロックを扱ったが、その他の画像信号群であっても良く、本願を制限するものではない。

さらに、いくつかの国際標準符号化方式のうちいずれかを選択して符号化を行う場合、相手局とのネゴシエーションにおいて符号化効率の良い符号化方式を選択し、選択された符号化方式に基づいた可変長符号データをテーブルメモリ43にロードして可変長符号化をすれば良く、各種可変長符号データをテーブルメモリ43に予め全てロードする必要はなく、本願の内容を制限するものではない。

#### 【0028】

以上のように、この実施の形態1によれば、各部または一部をプロセッサ41から起動制御し、各種符号化方式に対応したデータをテーブルメモリ43に記憶することで、独自の可変長符号化に固執することなく、国際標準方式を含むさまざまな可変長符号化／復号に対応することができる。

また、バッファメモリ45に可変長符号化データを隙間なく順次記憶させ、バッファメモリ45に可変長符号化データが所定ビット数分記憶された場合にシフタ46によりその所定ビット数分ビットシフトするので、バッファメモリ45を効率良く利用することができる。

#### 【0029】

実施の形態2.

図6はこの発明の実施の形態2によるテーブルメモリのデータ内容を示す説明図であり、このテーブルメモリ43は、1ワードLビット幅（Lは任意の自然数）を有し、最大mビット以下（mは任意の自然数）のVLCコードをLビット幅の最上位ビット側から詰め、かつnビット（nは任意の自然数で $L = m + n$ ）のVLCコード長をLビット幅の最下位ビット側に詰めたものである。

#### 【0030】

次に動作について説明する。

上記実施の形態1では、図4に示したように、テーブルメモリ43に記憶されたVLCコードとVLCコード長との各データの記憶書式を指定していなかった

が、この実施の形態 2 では、図 6 に示したように、VLC コードを最上位ビット側から詰め、VLC コード長を最下位ビット側に詰めて記憶する。テーブルメモリ 4 3 の 1 ワードのビット幅は L ビットで、L ビットのうち最上位ビット側の m ビットは VLC コードを記憶する領域、最下位ビット側の n ビットは左記 VLC コード長を記憶する領域である。なお、L, m, n の関係は、 $L = m + n$  である。m ビットに満たない VLC コードを m ビット領域に記憶する場合、m ビット領域の最下位ビット側から記憶しても良いが、この実施の形態 2 では、図 6 に示したように、最上位ビット側から詰めた形で記憶する。

#### 【 0 0 3 1 】

以上のように、この実施の形態 2 によれば、テーブルメモリ 4 3 に VLC コードを最上位ビット側から詰め、VLC コード長を最下位ビット側に詰めて記憶したので、テーブルメモリ 4 3 からの VLC コードおよび VLC コード長の読み出しが容易になる。

#### 【 0 0 3 2 】

実施の形態 3 .

図 7 はこの発明の実施の形態 3 による可変長符号化部の詳細を示すブロック図であり、図において、5 1 はゼロラン数およびレベル値に応じてテーブルメモリ 4 3 のアドレスを生成するテーブルメモリアドレス生成部、5 2 はテーブルメモリ 4 3 の生成されたアドレスから最下位ビット側の n ビットの VLC コード長を読み出し、最上位ビット側から VLC コードをその読み出した VLC コード長分切り出す可変長符号化データ切り出し部である。

#### 【 0 0 3 3 】

次に動作について説明する。

図 7 において、図 6 に示したテーブルメモリ 4 3 から VLC コードを読み出すには、まず、テーブルメモリアドレス生成部 5 1 により、ゼロラン数からアドレスを計算し、そのアドレスに対応する VLC コードが記憶されている先頭ポインタをテーブルメモリ 4 3 から読み出す。さらに、テーブルメモリアドレス生成部 5 1 では、読み出した先頭ポインタにレベル値を加算してアドレスを算出し、可変長符号化データ切り出し部 5 2 により、テーブルメモリ 4 3 から算出されたア

ドレスのデータを読み出す。この時、読み出されたデータは、図 6 に示したように、1 ワード L ビット幅データのうち、最上位ビット側の m ビット領域の最上位ビット側に詰めた形で V L C コードが記憶されているので、可変長符号化データ切り出し部 5 2 により、L ビット幅データのうち、最下位ビット側の n ビットに記憶されている V L C コード長分だけ 1 ワード L ビット幅データの最上位ビット側から切り出す。

## 【 0 0 3 4 】

なお、上記実施の形態 3 では、アドレス生成および可変長符号化データ切り出しは可変長符号化部 4 4 の内部のテーブルメモリアドレス生成部 5 1 および可変長符号化データ切り出し部 5 2 にて行ったが、アドレス生成および可変長符号化データ切り出しが行えれば良く、例えば、プロセッサ 4 1 など他の所で処理しても良く、本願を制限するものではない。

## 【 0 0 3 5 】

以上のように、この実施の形態 3 によれば、可変長符号化データ切り出し部 5 2 により、テーブルメモリ 4 3 の最下位ビット側の n ビットの V L C コード長を読み出し、最上位ビット側から V L C コードをその読み出した V L C コード長分切り出すので、テーブルメモリ 4 3 からの V L C コードの読み出しが容易になる。

## 【 0 0 3 6 】

実施の形態 4 .

この実施の形態 4 では、テーブルメモリ 4 3 で、m ビットに満たない可変長符号化コードの末尾に無意ビットを付加して m ビットのデータにするものである。

## 【 0 0 3 7 】

次に動作について説明する。

上記実施の形態 2 では、図 6 に示したように、V L C コードは最上位ビット側から詰めて記憶しているが、m ビットの領域のうち常時 m ビットの V L C コードが記憶されているわけではない。そこで、図 6 の中で m ビットに満たない V L C コードの場合は、その V L C コードの末尾に無意ビット（この実施の形態 4 では「0」とする）を付加して m ビットデータとする。無意ビットを付加するのは可

変長符号化コード記憶領域の $m$ ビットと可変長符号化コードの符号長記憶領域の $n$ ビットとを足すとテーブルメモリ 4 3 のワード幅 $L$ ビット ( $L = m + n$ ) になるからである。

## 【 0 0 3 8 】

以上のように、この実施の形態 4 によれば、テーブルメモリ 4 3 で、 $m$ ビットに満たない可変長符号化コードの末尾に無意ビットを付加して $m$ ビットのデータにしたので、テーブルメモリ 4 3 で記憶されるデータを、1 ワード分のビット幅に統一することができ、統一したデータ転送が可能となり、データの取り扱いが容易になる。

## 【 0 0 3 9 】

実施の形態 5 .

この実施の形態 5 では、プロセッサ 4 1 で、発生頻度が低い事象である場合には、その事象に応じた固定長符号化コードを符号化処理するものである。

## 【 0 0 4 0 】

次に動作について説明する。

上記実施の形態では、可変長符号化コードの場合について示したが、例えば、H. 2 6 1 や M P E G 2 などの国際標準符号化方式では、発生頻度の低い事象については可変長符号化コードを割り当てずに固定長符号化コードにて符号化を行うことがある。プロセッサ 4 1 にて発生頻度の低い事象かどうかを判断し、発生頻度の低い事象についてはプロセッサ 4 1 にて符号化処理し、固定長符号化コードを出力する。これは、発生頻度の低い事象を符号化処理するためにまれにしか動作処理しない処理部を設けるより、ソフトウェア処理にて柔軟に対応できるプロセッサ 4 1 にて符号化処理した方が動作処理時間という点で効率的だからである。

## 【 0 0 4 1 】

以上のように、この実施の形態 5 によれば、プロセッサ 4 1 で、発生頻度が低い事象である場合には、その事象に応じた固定長符号化コードを符号化処理するので、発生頻度が低い事象における符号化処理を効率良く行うことができる。

## 【 0 0 4 2 】

## 実施の形態 6.

この実施の形態では、プロセッサ 4 1 で、一連の可変長符号化処理の一部を行うようにしたものである。

## 【0 0 4 3】

次に動作について説明する。

上記実施の形態では、一連の可変長符号化処理を各部にて行うようにしたが、アドレス生成やシフト処理やその他一部の処理などをプロセッサ 4 1 にて処理を行っても良い。ただし、図 1 に示したように、プロセッサ 4 1 が各部の動作制御をしているのは並列処理も考慮しているためであり、プロセッサ 4 1 の内部でシケンシャルに全ての可変長符号化処理を行うのは効率的ではないのは言うまでもない。

## 【0 0 4 4】

以上のように、この実施の形態 6 によれば、プロセッサ 4 1 で、一連の可変長符号化処理の一部を行うようにしたので、プロセッサ 4 1 と各部とで並列処理や分散処理を行うことができ、処理を効率良く行うことができる。

## 【0 0 4 5】

## 実施の形態 7.

図 8 はこの発明の実施の形態 7 による可変長復号装置を示すブロック図であり、図において、6 1 は各部または一部を起動制御するプロセッサ、6 2 は受信したビットストリームを記憶するビットストリームレジスタである。6 3 は複数の画像信号からなるブロックのデータをスキヤンの順序に従って連続する無意係数の個数（以下、ゼロラン数と言う）と有意係数の値（以下、レベル値と言う）との組み合わせに対応した可変長符号化コードの符号長を記憶したテーブルメモリ、6 4 はビットストリームレジスタ 6 2 から所定ビット数分読み出すデータ読み出し部である。6 5 はデータ読み出し部 6 4 により読み出したデータに基づいてテーブルメモリ 6 3 のアドレスを生成するアドレス生成部、6 6 はテーブルメモリ 6 3 からアドレス生成部 6 5 により生成されたアドレスのデータを読み出し、そのデータからゼロラン数とレベル値と可変長符号化コードの符号長とを切り出して可変長復号する可変長復号部である。6 7 はビットストリームレジスタ 6 2

のデータを可変長復号部 6 6 により切り出された可変長符号化コードの符号長分シフト演算して可変長復号された可変長符号化コード分のデータを破棄するシフタ、6 8 はビットストリームレジスタ 6 2 に所定ビット数分以上の空きがある場合にそのビットストリームレジスタ 6 2 に受信したビットストリームを隙間なく挿入するビットストリーム取り込み部、6 9 は可変長復号部 6 6 により可変長復号されたゼロラン数とレベル値とに応じてスキヤンの順序に従って複数の画像信号からなるブロックのデータを生成する画像信号生成部である。

#### 【 0 0 4 6 】

次に動作について説明する。

この実施の形態 7 では、テーブルメモリ 6 3 以外の各部の起動制御をプロセッサ 6 1 にて行う。起動制御はプロセッサ 6 1 より命令を実行することにより行われる。

なお、この実施の形態 7 では、出力する画像信号として  $8 \times 8$  画素の正方面素ブロックを扱う。これは、H. 2 6 1 や M P E G 2 などの国際標準方式にて扱われる代表的な画素ブロックである。

受信したビットストリームは、ビットストリーム取り込み部 6 8 によって 1 6 ビット幅のビットストリームレジスタ 6 2 に取り込まれる。

#### 【 0 0 4 7 】

図 9 はテーブルメモリのデータ内容を示す説明図であり、この図 9 に示したように、テーブルメモリ 6 3 には可変長符号化コードに対応したゼロラン数とレベル値とコード長が 1 ワードに多重されている。データ読み出し部 6 4 によりビットストリームレジスタ 6 2 からアドレッシングに必要な所定ビット数分を読み出し、アドレス生成部 6 5 に供給する。

可変長復号部 6 6 により、アドレス生成部 6 5 に対してテーブルメモリ 6 3 へのアドレス出力要求が出されると、アドレス生成部 6 5 は、データ読み出し部 6 4 から入力したデータをアドレスとしてテーブルメモリ 6 3 に送出する。

#### 【 0 0 4 8 】

可変長復号部 6 6 では、送出されたアドレスに対応するデータをテーブルメモリ 6 3 から読み出す。この時、図 9 に示したように、1 ワードに可変長符号化コ

ードに対応したゼロラン数とレベル値とコード長が多重されているため、それぞれ別々のデータとして切り出す。それぞれ切り出されたデータのうち、コード長はシフタ 6 7 に、ゼロラン数とレベル値は画像信号生成部 6 9 に供給される。

シフタ 6 7 では、可変長復号部 6 6 より入力されたコード長分、すなわち可変長復号部 6 6 にて復号された可変長符号化コードに相当するコード長分、ビットストリームレジスタ 6 2 のデータをシフトして破棄する。そして、シフタ 6 7 より、破棄した分のコード長をビットストリーム取り込み部 6 8 に通知する。

図 1 0 はビットストリームレジスタのデータ更新を示す説明図であり、この図 1 0 の上段に示したように「0 1 0 1 1 0 0 1 1 0 1 1 0 0 1 1」というデータが記憶されていたとする。今、可変長復号部 6 6 にて可変長復号されたコードが「0 1 0 1 1 0 0 1 1」という 9 ビット幅のコードであった場合、シフタ 6 7 にてビットストリームレジスタ 6 2 より、今、可変長復号した 9 ビットのデータを破棄する（図 1 0 の上から 2 段目から 3 段目への動作）。ビットストリーム取り込み部 6 8 では、シフタ 6 7 より供給されたコード長を累算し、累算されたコード長がビットストリームレジスタ 6 2 のデータ幅の半分のビット長（8 ビット）を超えるかどうかを判定する。図 1 0 では、一度に復号されたコード長が 9 ビットなので、ビットストリームレジスタ 6 2 のデータ幅の半分のビット長を超えるため、ビットストリーム取り込み部 6 8 では、受信ビットストリームより 9 ビット分のコードをビットストリームレジスタ 6 2 に追加書き込みする（図 1 0 の最下段）。この時、ビットストリーム取り込み部 6 8 では、コード長累算値をゼロリセットする。

画像信号生成部 6 9 では、入力したゼロラン数とレベル値に従い、図 2 に示したスキヤンの順序で画像信号を生成する。

【 0 0 4 9 】

なお、上記実施の形態 7 では、ビットストリームレジスタ 6 2 のビット幅を 1 6 ビットとしたが、他のビット幅でも良く、本願の内容を限定するものではない。

また、上記実施の形態 7 では、出力する画像信号として 8 × 8 画素の正画素ブロックを扱ったが、その他の画像信号群であっても良く、本願を制限するもの

ではない。

さらに、上記実施の形態 7 では、データ読み出し部 6 4、アドレス生成部 6 5、可変長復号部 6 6 と分けたが、可変長復号部 6 6 に統合して処理を行っても良く、本願を制限するものではない。

さらに、上記実施の形態 7 では、ビットストリームレジスタ 6 2 に記憶されたデータがビットストリームレジスタ 6 2 のビット幅の半分を超えたかどうかをビットストリーム取り込み部 6 8 にて判定し、超えた場合は累算されたコード長分の新規ビットストリームをビットストリームレジスタ 6 2 に送付するようにしたが、ビットストリームレジスタ 6 2 に溜まった容量の閾値は、例えば、ビットストリームレジスタ 6 2 のビット幅の  $1/4$  や  $2/3$  の超えたらとしても良く、また、他の閾値であっても良く、本願の内容を制限するものではない。

さらに、上記実施の形態 7 では、ビットストリームレジスタ 6 2 に記憶されたデータがビットストリームレジスタ 6 2 のビット幅の半分を超えたかどうかをビットストリーム取り込み部 6 8 にて判定したが、プロセッサ 6 1 などにて判定しても良く、本願の内容を制限するものではない。

さらに、上記実施の形態 7 では、画像信号のスキャンを図 2 に示したように行ったが、別の順序で画像信号のスキャンを行っても良く、本願を制限するものではない。

さらに、上記実施の形態 7 では、テーブルメモリ 6 3 以外の各部の起動制御をプロセッサ 6 1 にて行うようにしたが、プロセッサ 6 1 にてバス管理やメモリアクセス制御をしても良く、本願の内容を制限するものではない。

さらに、上記実施の形態 7 では、相手局とのネゴシエーションにより定められた符号化方式に従った可変長符号データをテーブルメモリ 6 3 にロードすれば良く、各種可変長符号データをテーブルメモリ 6 3 に予め全てロードする必要はなく、本願の内容を制限するものではない。

#### 【 0 0 5 0 】

以上のように、この実施の形態 7 によれば、各部または一部をプロセッサ 6 1 から起動制御し、各種符号化方式に対応したデータをテーブルメモリ 6 3 に記憶することで、独自の可変長符号化に固執することなく、国際標準方式を含むさま



ざまな可変長符号化／復号に対応することができる。

また、シフタ 6 7 により、ビットストリームレジスタ 6 2 のデータを可変長復号部 6 6 により切り出された可変長符号化コードの符号長分シフト演算して可変長復号された可変長符号化コード分のデータを破棄し、ビットストリーム取り込み部 6 8 により、ビットストリームレジスタ 6 2 に所定ビット数分以上の空きがある場合にそのビットストリームレジスタ 6 2 に受信したビットストリームを隙間なく挿入するので、ビットストリームレジスタ 6 2 を効率良く利用することができる。

さらに、ビットストリーム取り込み部 6 8 によるビットストリームの取り込みと、可変長復号部 6 6 による復号処理を並列処理することができるので、効率良く処理を行うことができる。

#### 【 0 0 5 1 】

実施の形態 8 .

図 1 1 はこの発明の実施の形態 8 によるテーブルメモリのデータ内容を示す説明図であり、図において、テーブルメモリ 6 3 は、相手局との相互接続する際に使用される符号化方式 A, B に従い、ゼロラン数とレベル値と可変長符号化コードの符号長とのビットフィールドを変えたデータを記憶するようにしたものである。

#### 【 0 0 5 2 】

次に動作について説明する。

上記実施の形態 7 では、図 9 に示したようなテーブルメモリ 6 3 を使用したが、相手局との相互接続する際に使用される符号化方式によっては、図 9 とは違うビットフィールドのデータが必要になる場合がある。このような異なる符号化方式に対応できるように、図 1 1 に示したようなデータを用意することによって対応することができる。この場合、相手局との相互接続する際に使用される符号化方式に応じたデータをテーブルメモリ 6 3 にロードすることにより対応すれば良く、必ずしも取り扱う全てのデータをテーブルメモリ 6 3 に予め記憶している必要はないのは明白であり、本願を制限するものではない。

#### 【 0 0 5 3 】

以上のように、この実施の形態 8 によれば、テーブルメモリ 6 3 に、相手局との相互接続する際に使用される符号化方式 A, B に従い、ゼロラン数とレベル値と可変長符号化コードの符号長とのビットフィールドを変えたデータを記憶するようにしたので、相手局とのネゴシエーションにより定められた符号化方式に柔軟に対応することができる。

## 【 0 0 5 4 】

実施の形態 9 .

この実施の形態 9 では、シフタ 6 7 で、ビットストリームレジスタ 6 2 のデータを最上位ビット側にシフト演算して、ビットストリーム取り込み部 6 8 で、そのビットストリームレジスタ 6 2 の空きのうちの最上位ビット側からビットストリームを隙間なく挿入するようにしたものである。

## 【 0 0 5 5 】

次に動作について説明する。

上記実施の形態 7 では、シフタ 6 7 によるビットストリームレジスタ 6 2 のシフト方向（データ破棄の方向）について特に指定していなかったが、図 1 0 において、左側が最上位ビット側としても良く、本願を制限するものではない。

## 【 0 0 5 6 】

以上のように、この実施の形態 9 によれば、シフタ 6 7 で、ビットストリームレジスタ 6 2 のデータを最上位ビット側にシフト演算して、ビットストリーム取り込み部 6 8 で、そのビットストリームレジスタ 6 2 の空きのうちの最上位ビット側からビットストリームを隙間なく挿入するようにしたので、ビットストリームレジスタ 6 2 におけるビットストリームの処理を容易に行うことができる。

## 【 0 0 5 7 】

実施の形態 1 0 .

この実施の形態 1 0 では、ビットストリーム取り込み部 6 8 で、所定ビット数分のビットストリームをビットストリームレジスタ 6 2 に挿入するようにしたものである。

## 【 0 0 5 8 】

次に動作について説明する。

上記実施の形態では、累算コード長がビットストリームレジスタ 6 2 のデータ幅の半分のビット長を超えた場合、ビットストリーム取り込み部 6 8 では受信ビットストリームより累算コード長分のコードをビットストリームレジスタ 6 2 に追加書き込みするようにしたが、一律ビットストリームレジスタ 6 2 のデータ幅の半分のビット長（8 ビット）としても良く、ストリームを新規追加する条件や新規追加挿入するビット幅によって、本願が制限されるものではない。

## 【 0 0 5 9 】

以上のように、この実施の形態 1 0 によれば、ビットストリーム取り込み部 6 8 で、所定ビット数分のビットストリームをビットストリームレジスタ 6 2 に挿入するようにしたので、所定ビット数を効率の良い所定値に設定すれば、ビットストリームレジスタ 6 2 およびビットストリーム取り込み部 6 8 を効率良く利用することができる。

## 【 0 0 6 0 】

実施の形態 1 1 .

この実施の形態 1 1 では、ビットストリームレジスタ 6 2 に、1 ワード N ビット幅（N は任意の自然数）を有し、ビットストリーム取り込み部 6 8 は、そのビットストリームレジスタ 6 2 にビットストリームを挿入した際に、有意ビットが N ビットに満たない場合は、その挿入したビットストリームの末尾に無意ビットを付加して 1 ワード N ビット幅のデータとするものである。

## 【 0 0 6 1 】

次に動作について説明する。

上記実施の形態 1 0 では、一律所定のビット数分のビットストリームを新規挿入するようにしたが、ビットストリームレジスタ 6 2 に記憶されている復号されるべき有意ビットがビットストリームレジスタ 6 2 の N ビット幅（この実施の形態では 1 6 b i t）に満たない場合は、無意ビットを付加しても良く、本願を制限するものではない。

なお、ビットストリームレジスタ 6 2 からデータの読み出した際の無意ビットの判定は、プロセッサ 6 1 が行うようにしておけば、デューブルメモリ 6 3 のアドレスを生成する際に問題が生じることはない。

## 【 0 0 6 2 】

以上のように、この実施の形態 1 1 によれば、ビットストリーム取り込み部 6 8 は、そのビットストリームレジスタ 6 2 の有意ビットが N ビットに満たない場合は、その挿入したビットストリームの末尾に無意ビットを付加して 1 ワード N ビット幅のデータとしたので、データの取り扱いを容易にすることができる。

## 【 0 0 6 3 】

実施の形態 1 2 .

この実施の形態 1 2 では、プロセッサ 6 1 で、固定長符号化コードを復号処理するようにしたものである。

## 【 0 0 6 4 】

次に動作について説明する。

上記実施の形態では、可変長符号化コードを復号する場合について示したが、例えば、H. 2 6 1 や M P E G 2 などの国際標準符号化方式では、発生頻度の低い事象については可変長符号化コードを割り当てずに固定長符号化コードにて符号化されることがある。この場合、プロセッサ 6 1 により、固定長符号化コードであるかどうかを判定し（例えば、テーブルメモリ 6 3 に符号化コードに対応するゼロラン数などを記憶したワードデータが存在しない場合など）、固定長符号化コードの場合は復号処理をする。これは、発生頻度の低い固定長符号化コードを復号処理するためにまれにしか動作処理しない処理部を設けるより、ソフトウェア処理にて柔軟に対応できるプロセッサ 6 1 にて復号処理した方が動作処理時間という点で効率的だからである。

## 【 0 0 6 5 】

以上のように、この実施の形態 1 2 によれば、プロセッサ 6 1 で、固定長符号化コードを復号処理するようにしたので、発生頻度が低い事象における復号処理を効率良く行うことができる。

## 【 0 0 6 6 】

実施の形態 1 3 .

この実施の形態 1 3 では、プロセッサ 6 1 で、一連の可変長復号処理の一部を行うようにしたものである。

## 【 0 0 6 7 】

次に動作について説明する。

上記実施の形態では、一連の可変長復号処理を各部にて行うようにしたが、アドレス生成やシフト処理やその他一部の処理などをプロセッサ 6 1 により、処理を行っても良い。ただし、図 8 に示したように、プロセッサ 6 1 が各部の動作制御をしているのは並列処理も考慮しているためで、プロセッサ 6 1 の内部でシーケンシャルに全ての可変長復号処理を行うのは効率的ではないのは言うまでもない。

## 【 0 0 6 8 】

以上のように、この実施の形態 1 3 によれば、プロセッサ 6 1 で、一連の可変長復号処理の一部を行うようにしたので、プロセッサ 6 1 と各部とで並列処理や分散処理を行うことができ、処理を効率良く行うことができる。

## 【 0 0 6 9 】

## 【発明の効果】

以上のように、この発明によれば、複数の画像信号からなるブロックのデータをスキヤンの順序に従って連続する無意係数の個数と有意係数の値との組み合わせデータに変換するランレングス変換部と、連続する無意係数の個数と有意係数の値との組み合わせデータに応じたアドレス上に、その組み合わせデータに応じた可変長符号化コードとその可変長符号化コードの符号長とを記憶したテーブルメモリと、ランレングス変換部により変換された連続する無意係数の個数と有意係数の値との組み合わせデータに応じてテーブルメモリから可変長符号化コードとその可変長符号化コードの符号長とを読み出し、その読み出した可変長符号化コードをその読み出した符号長に応じて切り出して可変長符号化する可変長符号化部と、可変長符号化部により可変長符号化された可変長符号化データを隙間なく順次記憶するバッファメモリと、バッファメモリに可変長符号化データが所定ビット数分記憶された場合にその所定ビット数分ビットシフトするシフタと、シフタにより所定ビット数分ビットシフトされた可変長符号化データを出力するデータ出力部と、各部または一部を起動制御するプロセッサとを備えるように構成したので、各部または一部をプロセッサから起動制御し、各種符号化方式に対応

したデータをテーブルメモリに記憶することで、独自の可変長符号化に固執することなく、国際標準方式を含むさまざまな可変長符号化／復号に対応することができる。

また、バッファメモリに可変長符号化データを隙間なく順次記憶させ、バッファメモリに可変長符号化データが所定ビット数分記憶された場合にシフタによりその所定ビット数分ビットシフトするので、バッファメモリを効率良く利用することができる効果が得られる。

#### 【 0 0 7 0 】

また、この発明によれば、テーブルメモリに、1ワードLビット幅を有し、最大mビット以下の可変長符号化コードをLビット幅の最上位ビット側から詰め、かつnビット ( $L = m + n$ ) の可変長符号化コードの符号長をLビット幅の最下位ビット側に詰めるように構成したので、テーブルメモリからの可変長符号化コードおよび可変長符号化コードの符号長の読み出しを容易にすることができる効果が得られる。

#### 【 0 0 7 1 】

さらに、この発明によれば、可変長符号化部に、1ワードLビット幅のテーブルメモリから最下位ビット側のnビットの可変長符号化コードの符号長を読み出し、最上位ビット側から可変長符号化コードをその読み出した符号長分切り出す可変長符号化データ切り出し部を備えるように構成したので、テーブルメモリからの可変長符号化コードの読み出しを容易にすることができる効果が得られる。

#### 【 0 0 7 2 】

さらに、この発明によれば、テーブルメモリで、mビットに満たない可変長符号化コードの末尾に無意ビットを付加してmビットのデータにするように構成したので、テーブルメモリで記憶されるデータを、1ワード分のビット幅に統一することができ、統一したデータ転送が可能となり、データの取り扱いを容易にすることができる効果が得られる。

#### 【 0 0 7 3 】

さらに、この発明によれば、プロセッサで、発生頻度が低い事象である場合には、その事象に応じた固定長符号化コードを符号化処理するように構成したので

、発生頻度が低い事象における符号化処理を効率良く行うことができる効果が得られる。

## 【 0 0 7 4 】

さらに、この発明によれば、プロセッサで、一連の可変長符号化処理の一部を行うように構成したので、プロセッサと各部とで並列処理や分散処理を行うことができ、処理を効率良く行うことができる効果が得られる。

## 【 0 0 7 5 】

さらに、この発明によれば、受信したビットストリームを記憶するビットストリームレジスタと、複数の画像信号からなるブロックのデータをスキヤンの順序に従って連続する無意係数の個数と有意係数の値との組み合わせに対応した可変長符号化コードの符号長を記憶したテーブルメモリと、ビットストリームレジスタから所定ビット数分読み出すデータ読み出し部と、データ読み出し部により読み出したデータに基づいてテーブルメモリのアドレスを生成するアドレス生成部と、テーブルメモリからアドレス生成部により生成されたアドレスのデータを読み出し、そのデータから連続する無意係数の個数と有意係数の値と可変長符号化コードの符号長とを切り出して可変長復号する可変長復号部と、ビットストリームレジスタのデータを可変長復号部により切り出された可変長符号化コードの符号長分シフト演算して可変長復号された可変長符号化コード分のデータを破棄するシフタと、ビットストリームレジスタに所定ビット数分以上の空きがある場合にそのビットストリームレジスタに受信したビットストリームを隙間なく挿入するビットストリーム取り込み部と、可変長復号部により可変長復号された連続する無意係数の個数と有意係数の値とに応じてスキヤンの順序に従って複数の画像信号からなるブロックのデータを生成する画像信号生成部と、各部または一部を起動制御するプロセッサとを備えるように構成したので、各部または一部をプロセッサから起動制御し、各種符号化方式に対応したデータをテーブルメモリに記憶することで、独自の可変長符号化に固執することなく、国際標準方式を含むさまざまな可変長符号化／復号に対応することができる。

また、シフタにより、ビットストリームレジスタのデータを可変長復号部により切り出された可変長符号化コードの符号長分シフト演算して可変長復号された

可変長符号化コード分のデータを破棄し、ビットストリーム取り込み部により、ビットストリームレジスタに所定ビット数分以上の空きがある場合にそのビットストリームレジスタに受信したビットストリームを隙間なく挿入するので、ビットストリームレジスタを効率良く利用することができる。

さらに、ビットストリーム取り込み部によるビットストリームの取り込みと、可変長復号部による復号処理を並列処理することができ、効率良く処理を行うことができる効果が得られる。

【 0 0 7 6 】

さらに、この発明によれば、テーブルメモリに、相手局との相互接続する際に使用される符号化方式に従い、連続する無意係数の個数と有意係数の値と可変長符号化コードの符号長とのビットフィールドを変えたデータを記憶するように構成したので、相手局とのネゴシエーションにより定められた符号化方式に柔軟に対応することができる効果が得られる。

【 0 0 7 7 】

さらに、この発明によれば、シフタで、ビットストリームレジスタのデータを最上位ビット側にシフト演算して、ビットストリーム取り込み部は、そのビットストリームレジスタの空きのうちの最上位ビット側からビットストリームを隙間なく挿入するように構成したので、ビットストリームレジスタにおけるビットストリームの処理を容易に行うことができる効果が得られる。

【 0 0 7 8 】

さらに、この発明によれば、ビットストリーム取り込み部で、所定ビット数分のビットストリームをビットストリームレジスタに挿入するように構成したので、所定ビット数を効率の良い所定値に設定すれば、ビットストリームレジスタおよびビットストリーム取り込み部を効率良く利用することができる効果が得られる。

【 0 0 7 9 】

さらに、この発明によれば、ビットストリームレジスタに、1ワードNビット幅を有し、ビットストリーム取り込み部は、そのビットストリームレジスタにビットストリームを挿入した際に、有意ビットがNビットに満たない場合は、その



挿入したビットストリームの末尾に無意ビットを付加して1ワードNビット幅のデータとするように構成したので、データの取り扱いを容易にすることができる効果が得られる。

【0080】

さらに、この発明によれば、プロセッサで、固定長符号化コードを復号処理するように構成したので、発生頻度が低い事象における復号処理を効率良く行うことができる効果が得られる。

【0081】

さらに、この発明によれば、プロセッサで、一連の可変長復号処理の一部を行うように構成したので、プロセッサと各部とで並列処理や分散処理を行うことができ、処理を効率良く行うことができる効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による可変長符号化装置を示すブロック図である。

【図2】 8×8画素ブロックのデータスキャン順を示す説明図である。

【図3】 ゼロラン数とレベル値、およびゼロラン数とレベル値の組み合わせ数を示す表図である。

【図4】 テーブルメモリのデータ内容を示す説明図である。

【図5】 16bit幅のバッファメモリのデータ更新を示す説明図である。

【図6】 この発明の実施の形態2によるテーブルメモリのデータ内容を示す説明図である。

【図7】 この発明の実施の形態3による可変長符号化部の詳細を示すブロック図である。

【図8】 この発明の実施の形態7による可変長復号装置を示すブロック図である。

【図9】 テーブルメモリのデータ内容を示す説明図である。

【図10】 ビットストリームレジスタのデータ更新を示す説明図である。

【図11】 この発明の実施の形態8によるテーブルメモリのデータ内容を

示す説明図である。

【図 1 2】 従来のハフマン符号化装置を示すブロック図である。

【図 1 3】 従来のハフマン復号化装置を示すブロック図である。

【図 1 4】 従来の画像符号化装置を示すブロック図である。

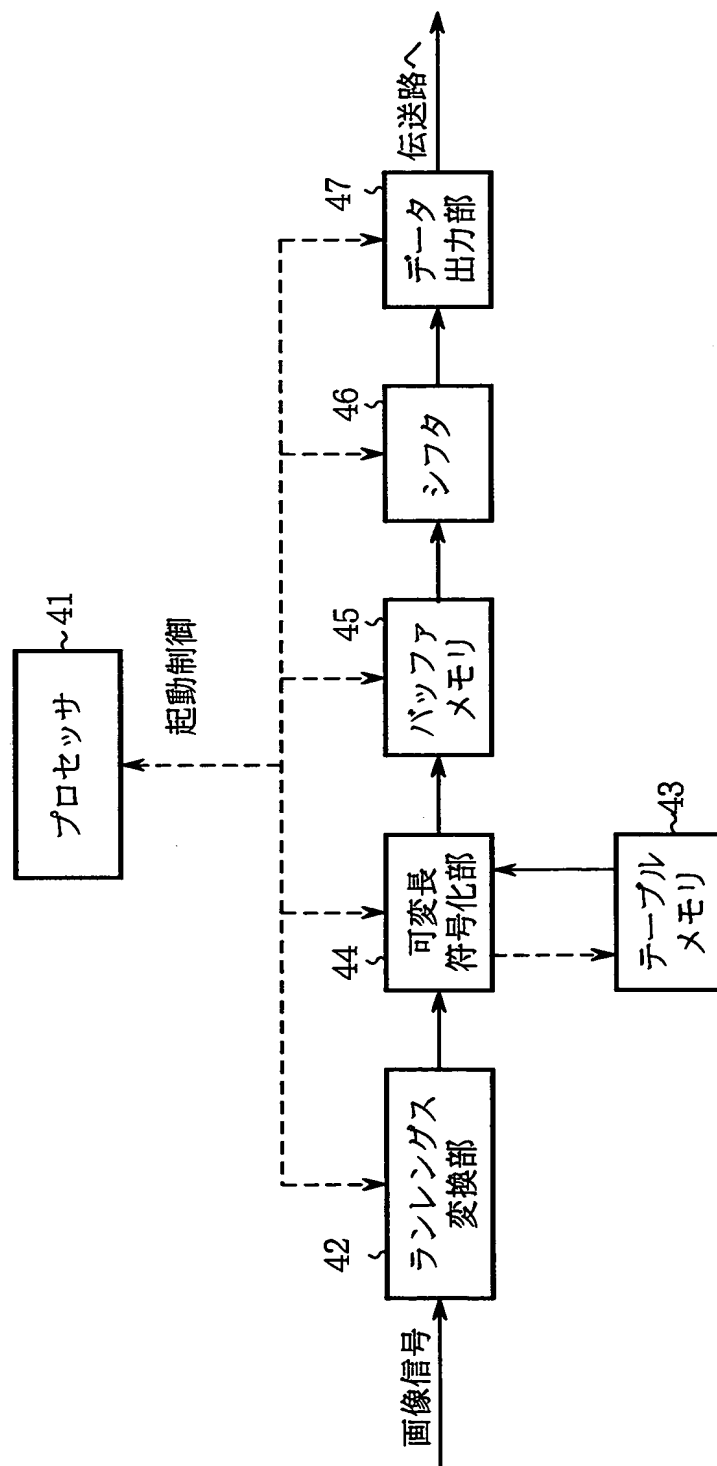
【図 1 5】 従来の符号化部の詳細を示すブロック図である。

【符号の説明】

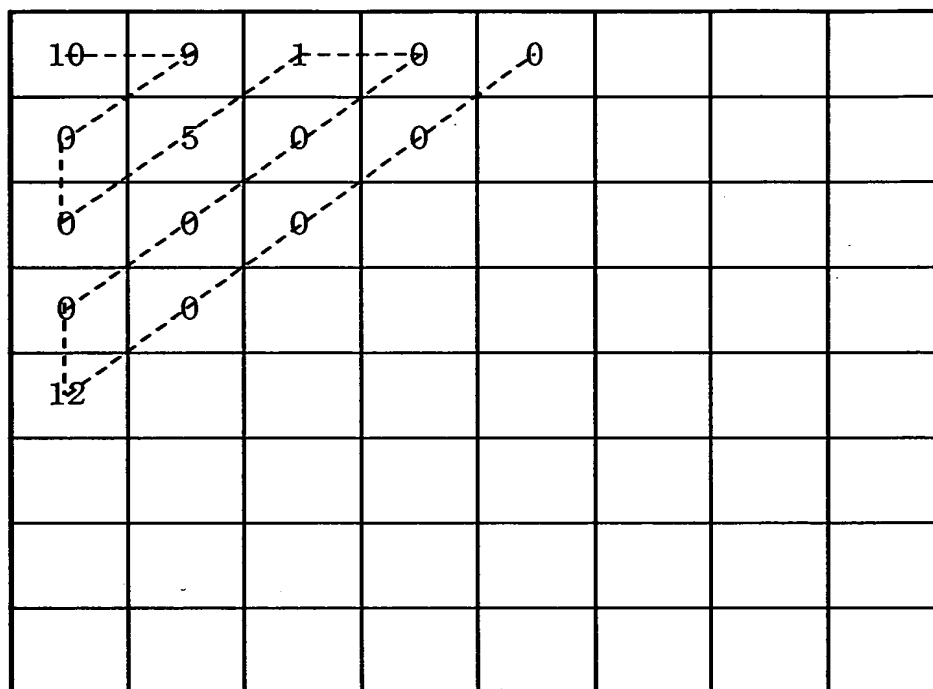
4 1, 6 1 プロセッサ、4 2 ランレングス変換部、4 3, 6 3 テーブルメモリ、4 4 可変長符号化部、4 5 バッファメモリ、4 6, 6 7 シフタ、4 7 データ出力部、5 1 テーブルメモリアドレス生成部、5 2 可変長符号化データ切り出し部、6 2 ビットストリームレジスタ、6 4 データ読み出し部、6 5 アドレス生成部、6 6 可変長復号部、6 8 ビットストリーム取り込み部、6 9 画像信号生成部。

【書類名】 図面

【図 1】



【図 2】



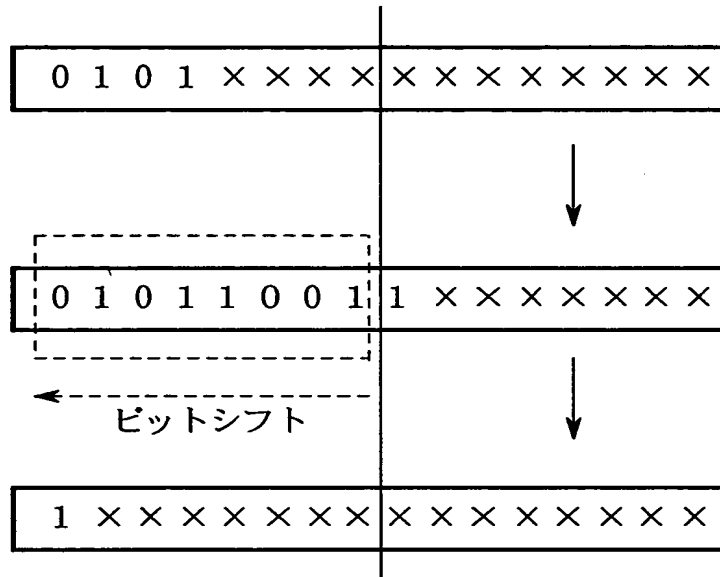
【図 3】

ゼロラン数	レベル値	(ゼロラン+レベル) の数
0	10	4
3	5	
0	-1	
4	12	

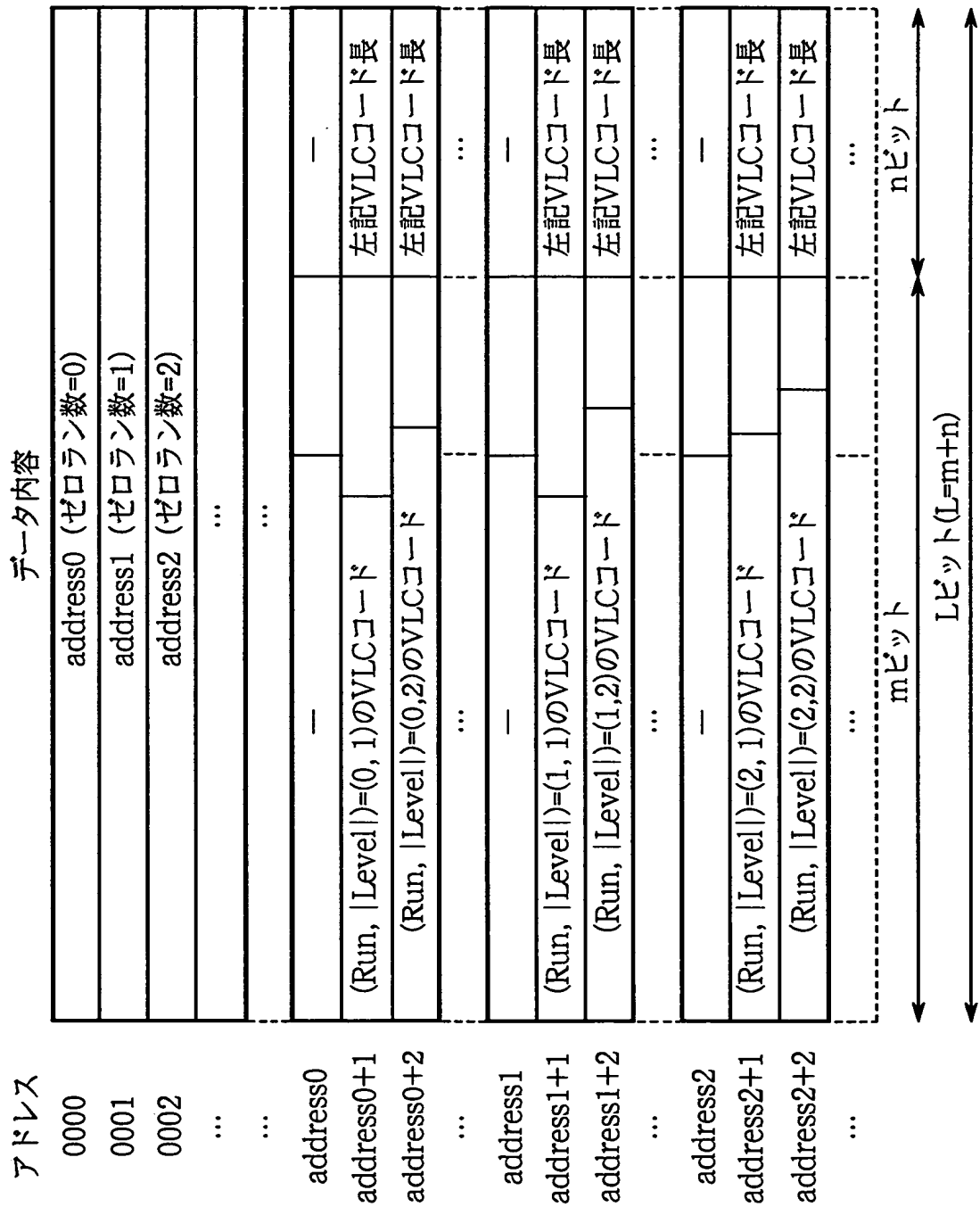
【図 4】

データ内容	
address0 (ゼロラン数=0)	—
address1 (ゼロラン数=1)	—
address2 (ゼロラン数=2)	—
...	...
...	...
address0	—
address0+1	(Run,  Level )=(0, 1)のVLCコード
address0+2	(Run,  Level )=(0, 2)のVLCコード
...	...
...	...
address1	—
address1+1	(Run,  Level )=(1, 1)のVLCコード
address1+2	(Run,  Level )=(1, 2)のVLCコード
...	...
...	...
address2	—
address2+1	(Run,  Level )=(2, 1)のVLCコード
address2+2	(Run,  Level )=(2, 2)のVLCコード
...	...
...	...

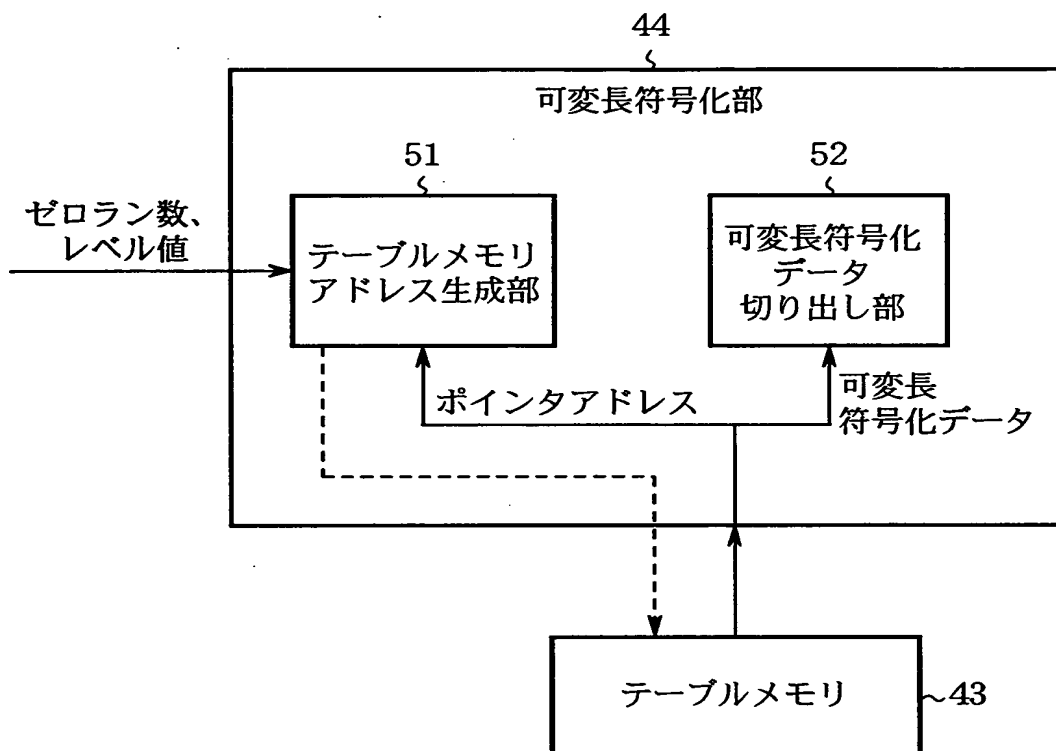
【図 5】



【図 6】

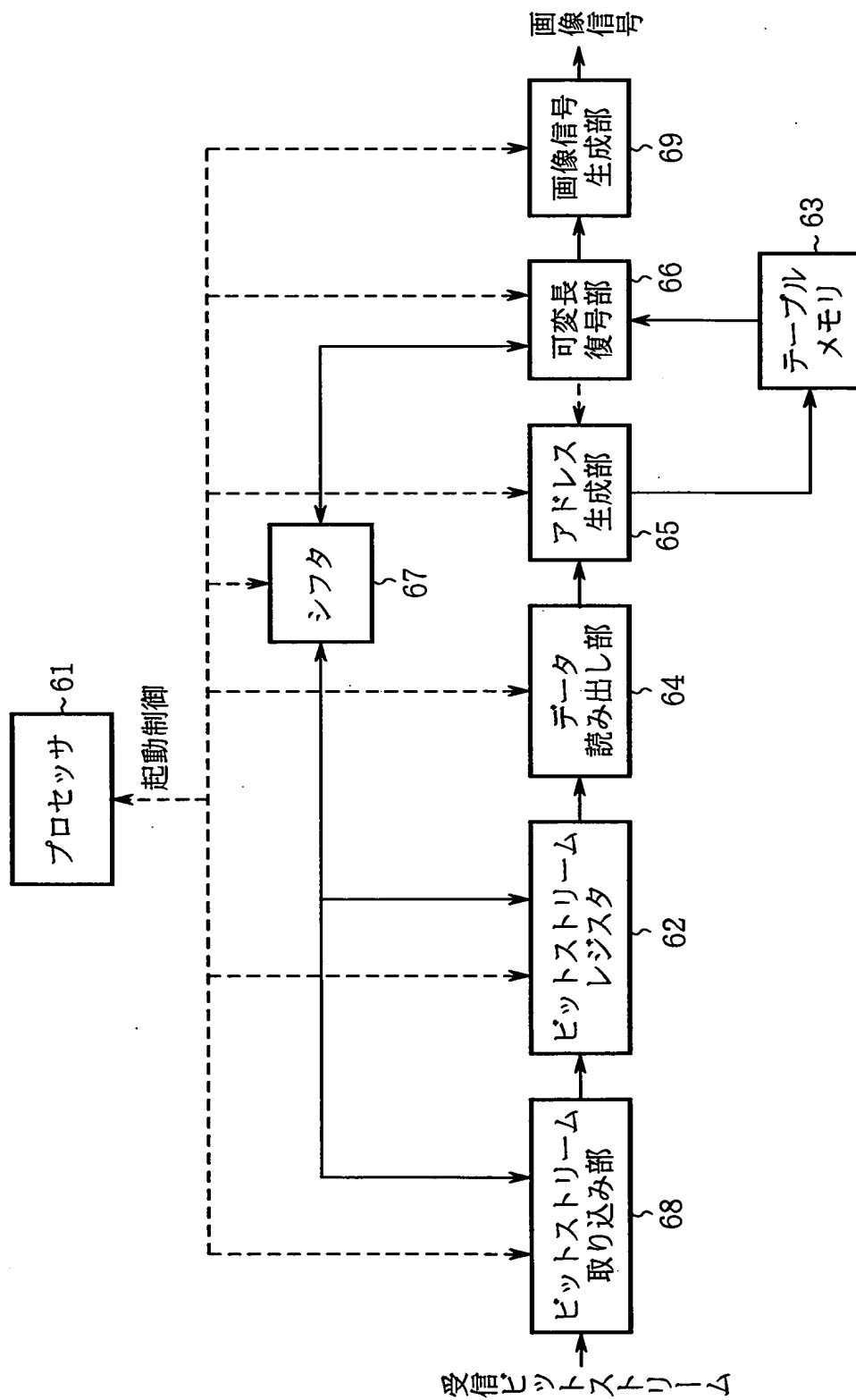


【図 7】





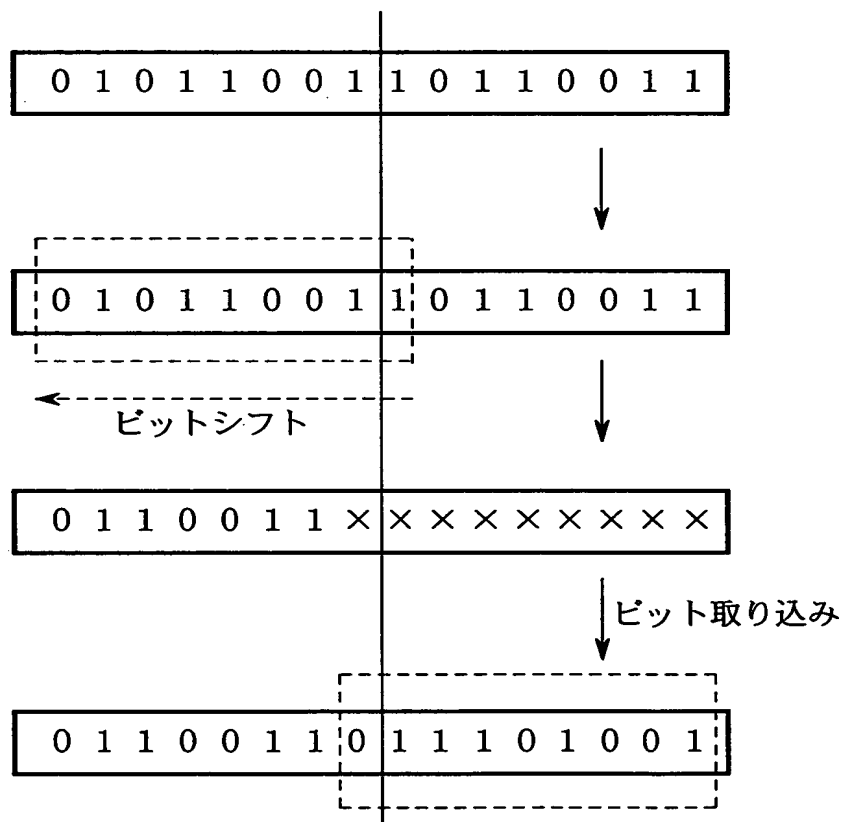
【図 8】



【図 9】

アドレス	データ内容		
address1	ゼロラン数=0	レベル値=1	コード長
address2	ゼロラン数=0	レベル値=2	コード長
...	...	...	...
...	...	...	...

【図 1 0】



【図 1 1】

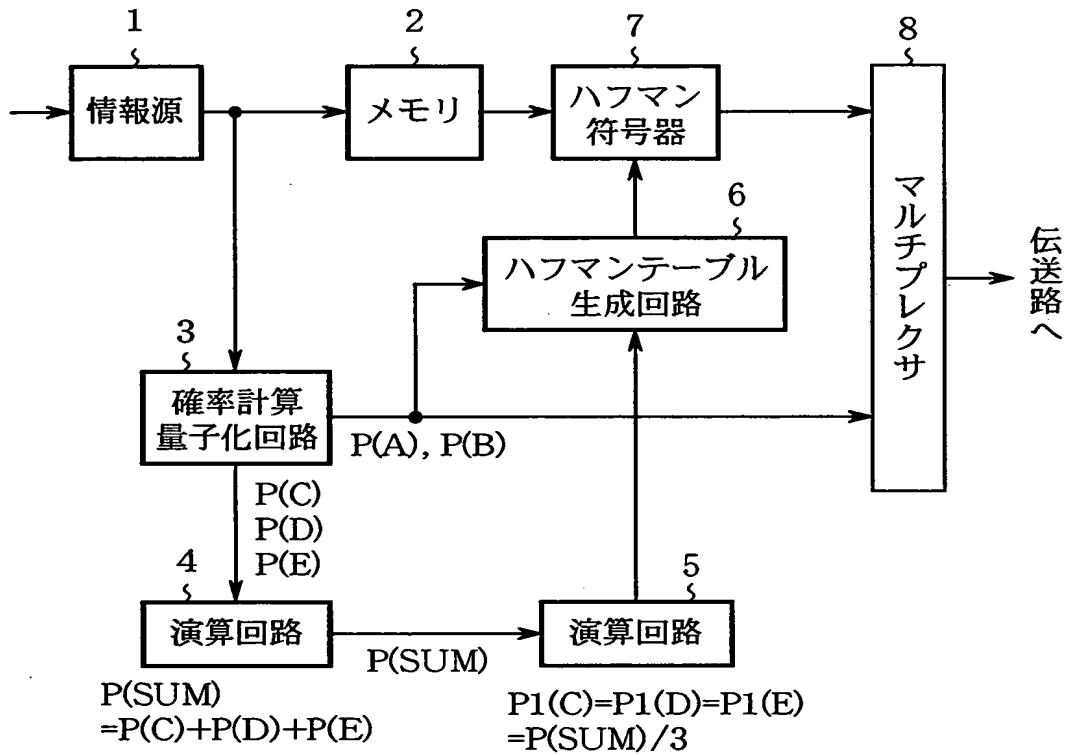
アドレス	データ内容		
address1	ゼロラン数=0	レベル値=1	コード長
address2	ゼロラン数=0	レベル値=2	コード長
...	...	...	...
...	...	...	...

符号化方式A

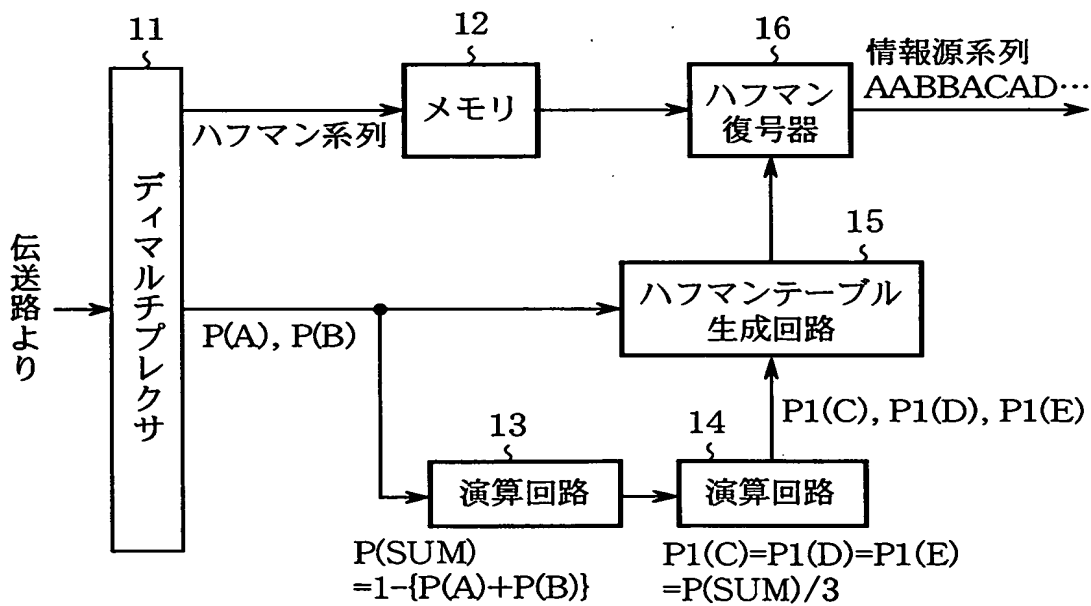
アドレス	データ内容		
address1	ゼロラン数=0	レベル値=1	コード長
address2	ゼロラン数=0	レベル値=2	コード長
...	...	...	...
...	...	...	...

符号化方式B

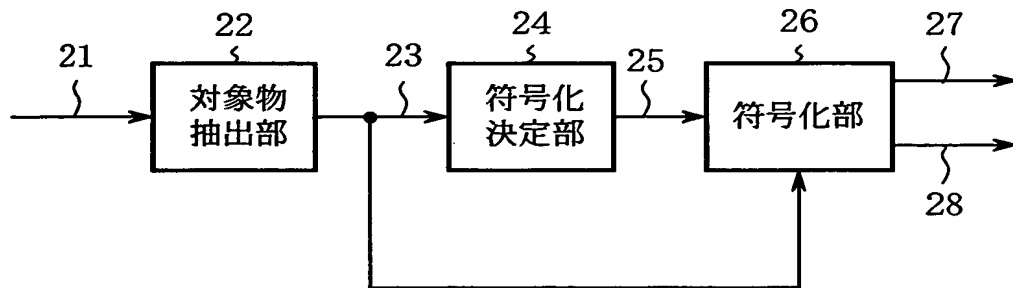
【図 1 2】



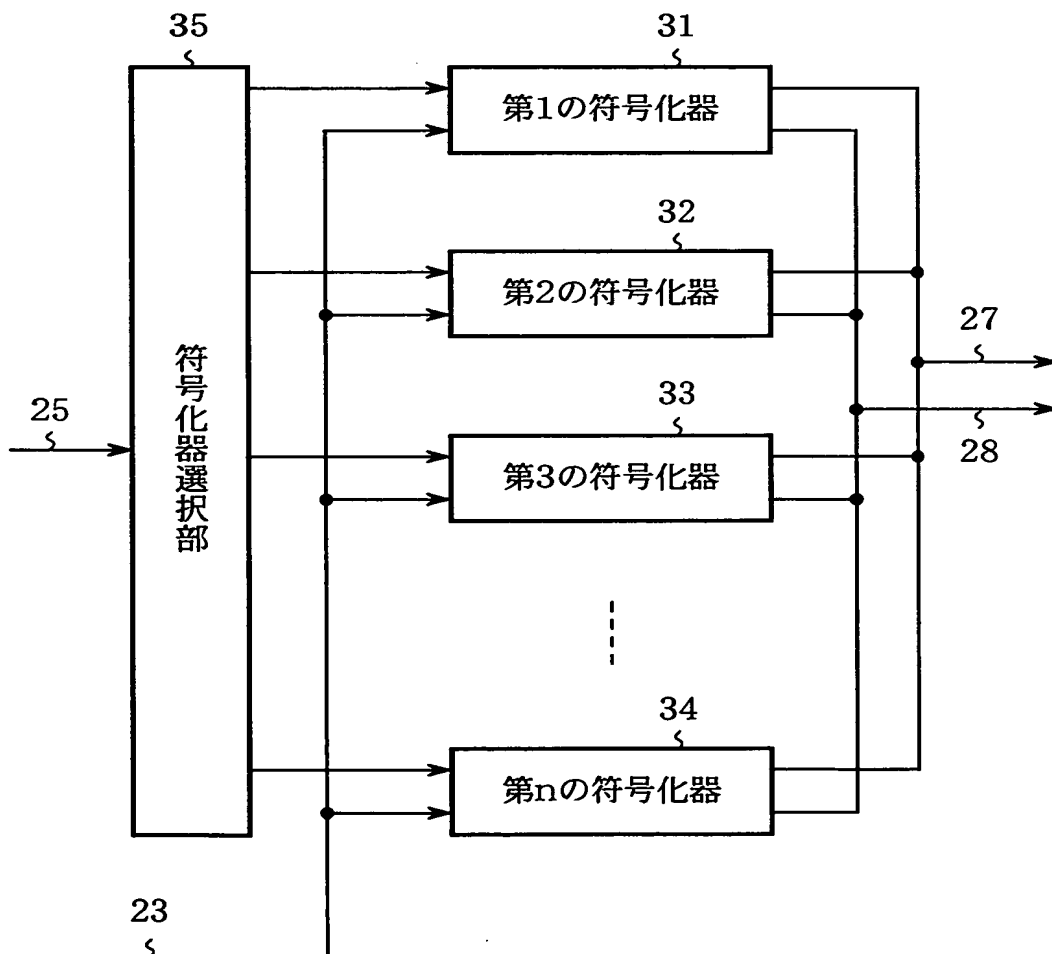
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】            要約書

【要約】

【課題】    独自の可変長符号化に固執することなく、国際標準方式を含む様々な可変長符号化／復号に対応できる可変長符号化装置を得る。

【解決手段】    複数の画像信号からなるブロックのデータをスキヤンの順序に従ってゼロラン数とレベル値とに変換するランレンジ変換部 4 2 と、ゼロラン数とレベル値とに応じたアドレス上に、VLCコードとVLCコード長とを記憶したテーブルメモリ 4 3 と、ランレンジ変換部 4 2 により変換されたゼロラン数とレベル値とに応じてテーブルメモリ 4 3 からVLCコードとVLCコード長とを読み出し、VLCコードをVLCコード長に応じて切り出して可変長符号化する可変長符号化部 4 4 とを備えた。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社